

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-041027

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H04L 1/00
H04B 3/46
H04B 17/02
H04L 29/14
H04M 3/26
H04Q 11/04

(21)Application number : 10-207461

(22)Date of filing : 23.07.1998

(71)Applicant : NEC CORP

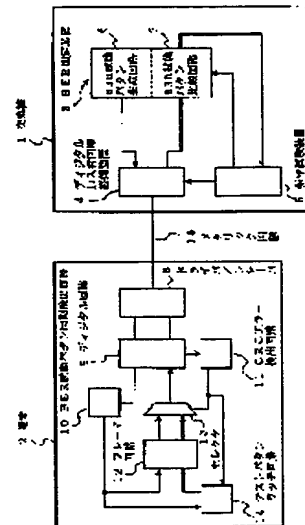
(72)Inventor : HIRAOKA TOSHIHIDE

(54) BIT ERROR RATE MEASUREMENT SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To enable bit error rate measurement based on loop-back even when a outgoing transmission rate is higher than an incoming transmission rate.

SOLUTION: Concerning the bit error rate measurement system for a data transmission system in the case of data transmission rate from an exchange 1 to a terminal 2 higher than the data transmission rate from the terminal 2 to the exchange 1, the exchange 1 adds a synchronizing pattern to a generated bit error rate measuring test pattern frame and inserts it to the payload of a line signal frame, the terminal 2 detects the above synchronizing pattern out of the line signal frame sent out of the exchange 1 and detects the presence/ absence of a bit error in the payload of the line signal frame and when bit errors more than one are detected, only the frame containing the bit errors more than one is returned to the exchange 1.



LEGAL STATUS

[Date of request for examination] 23.07.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3125756
[Date of registration] 02.11.2000
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

1. 2. 3. 4. 5. 6. 7. 8. 9. 10. 11. 12. 13. 14. 15. 16. 17. 18. 19. 20. 21. 22. 23. 24. 25. 26. 27. 28. 29. 30. 31. 32. 33. 34. 35. 36. 37. 38. 39. 40. 41. 42. 43. 44. 45. 46. 47. 48. 49. 50. 51. 52. 53. 54. 55. 56. 57. 58. 59. 60. 61. 62. 63. 64. 65. 66. 67. 68. 69. 70. 71. 72. 73. 74. 75. 76. 77. 78. 79. 80. 81. 82. 83. 84. 85. 86. 87. 88. 89. 90. 91. 92. 93. 94. 95. 96. 97. 98. 99. 100.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-41027

(P2000-41027A)

(43)公開日 平成12年2月8日(2000.2.8)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|--------------------------|------|--------------|-------------------------|
| H 0 4 L 1/00 | | H 0 4 L 1/00 | C 5 K 0 1 4 |
| H 0 4 B 3/46 | | H 0 4 B 3/46 | F 5 K 0 1 9 |
| | | | D 5 K 0 3 5 |
| 17/02 | | 17/02 | F 5 K 0 4 2 |
| | | | D 5 K 0 6 9 |

審査請求 有 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平10-207461

(22)出願日 平成10年7月23日(1998.7.23)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 平岡 俊秀

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100086645

弁理士 岩佐 義幸

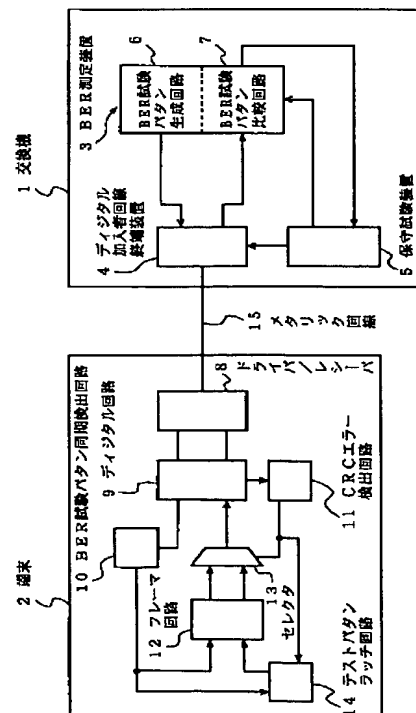
最終頁に続く

(54)【発明の名称】 ビット誤り率測定方式

(57)【要約】

【課題】 下り方向の伝送速度が上り方向の伝送速度よりも速いときもループバックによるビット誤り率測定が行えるようにする。

【解決手段】 交換機1から端末2方向へのデータ伝送速度が端末2から交換機1へのデータ伝送速度よりも速いデータ伝送システムのビット誤り率測定方式において、交換機1は、生成されるビット誤り率測定テストパターンフレームに同期パタンを付加して回線信号フレームのペイロードに挿入し、端末2は、交換機1から送出された回線信号フレームから前記同期パタンを検出し、回線信号フレームのペイロード中のビットエラーの有無を検出し、少なくとも1つ以上のビットエラーが検出された場合には、1つ以上ビットエラーが含まれているフレームのみを交換機1に折り返す。



【特許請求の範囲】

【請求項1】 交換機から端末方向へのデータ伝送速度と端末から交換機へのデータ伝送速度が異なるデータ伝送システムのビット誤り率測定方式において、前記交換機は、生成されるビット誤り率測定テストパターンフレームに同期パタンを付加して回線信号フレームのペイロードに挿入する手段を備え、前記端末は、前記交換機から送出された回線信号フレームから前記同期パタンを検出し、回線信号フレームのペイロード中のビットエラーの有無を検出し、少なくとも1つ以上のビットエラーが検出された場合には、1つ以上ビットエラーが含まれているフレームのみを交換機に折り返す手段を備えることを特徴とするビット誤り率測定方式。

【請求項2】 前記端末は、前記交換機から送出された回線信号フレームのペイロード中に少なくとも1つ以上のビットエラーが検出された場合に、そのエラーを含むペイロードデータを一時的に保持するバッファを備えることを特徴とする請求項1に記載のビット誤り率測定方式。

【請求項3】 前記交換機から送信される1つの回線信号フレームのペイロード中に複数のビット誤り率測定テストパターンフレームを挿入することを特徴とする請求項1または2に記載のビット誤り率測定方式。

【請求項4】 前記交換機から端末方向へのデータ伝送速度が端末から交換機へのデータ伝送速度よりも速いことを特徴とする請求項1～3のいずれかに記載のビット誤り率測定方式。

【請求項5】 交換機からのビット誤り率測定に適用されるループバック制御方法において、交換機から端末へのデータのうち、端末で少なくともビットエラーが1つ以上含まれているフレームのみを交換機に折り返してビット誤り率測定を行うことができるようにしたことを特徴とするループバック制御方法。

【請求項6】 前記交換機から端末方向へのデータ伝送速度が端末から交換機へのデータ伝送速度よりも速いことを特徴とする請求項5に記載のループバック制御方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、上り方向と下り方向の伝送速度が異なるデータ伝送システムにおけるビット誤り率測定方式に関する。

【0002】

【従来の技術】 図7は、従来のループバック方式によるビット誤り率 (Bit Error Rate) 測定方法を説明した概略図である。

【0003】 従来の上り方向の伝送速度と下り方向の伝送速度が等しいデジタル加入者回線終端装置においては、一般的に交換機の保守試験装置からループバック起動コマンドを端末に送信し、端末において下り方向のデ

ータを上り方向に折り返す設定を行う。また、保守試験装置からビット誤り率 (以下、BERという) を測定するための試験パタンが下り方向のデータに挿入され、端末にて折り返された上りデータを保守試験装置が受信し、下りデータと上りデータのビットの照合を行うことによってBER測定が可能であった。

【0004】 このBER測定は、回線品質の観測を交換機から行うための機能であり、高い品質のデータ伝送を維持するための重要な保守機能の一つである。

【0005】

【発明が解決しようとする課題】 しかしながら、下り (交換機→端末) 方向の伝送速度と上り (端末→交換機) 方向の伝送速度が異なり、かつ下り方向の伝送速度が上り方向の伝送速度より速いデジタル加入者回線終端装置、例えばADSL (Asymmetric Digital Subscriber Line) は、従来の方法では、端末において下り方向のデータを全て上り方向に折り返すループバックができないため、BER測定を行うことができないという問題があった。

【0006】 この発明の主な目的は、下り方向の伝送速度が上り方向の伝送速度よりも速いデジタル加入者回線終端装置であってもループバックによるBER測定を行えるビット誤り率測定方式を提供することである。

【0007】

【課題を解決するための手段】 この発明は、交換機から端末方向へのデータ伝送速度と端末から交換機へのデータ伝送速度が異なるデータ伝送システムのビット誤り率測定方式において、前記交換機は、生成されるビット誤り率測定テストパターンフレームに同期パタンを付加して回線信号フレームのペイロードに挿入する手段を備え、前記端末は、前記交換機から送出された回線信号フレームから前記同期パタンを検出し、回線信号フレームに含まれるCRC (Cyclic Redundancy Check) ビットを使用した演算を行うことにより、回線信号フレームのペイロード中のビットエラーの有無を検出し、少なくとも1つ以上のビットエラーが検出された場合には、1つ以上ビットエラーが含まれているフレームのみを交換機に折り返す手段を備えることを特徴とする。

【0008】 この発明により、ビットエラーが発生した回線信号フレームのみを折り返すことが可能となるため、下り方向のデータの伝送速度が上り方向のデータの伝送速度より速い場合においても、BER測定装置でビットエラーの発生した数をカウントすることが可能となり、回線品質を交換機にて観測できるようになる。

【0009】

【発明の実施の形態】 次に、この発明の実施の形態について図面を参照して説明する。

【0010】 図1は、この発明のビット誤り率測定方式の実施の形態を示す構成図である。図1に示すビット誤

り率測定方式においては、下り方向（交換機1→端末2方向）データの伝送速度が上り方向（端末2→交換機1方向）データの伝送速度よりも速いことを前提としている。

【0011】交換機1は、BER測定装置3とデジタル加入者回線終端装置4と保守試験装置5を備えている。BER測定装置3は、BER試験パターン生成回路6とBER試験パターン比較回路7とにより構成されている。

【0012】BER試験パターン生成回路6は、BER測定を行うためのBER測定テストパターンを送出する機能を有する。このBER測定テストパターンは、図2に示すように、BER測定装置3内のBER試験パターン比較回路7において同期引き込みを可能とするためのBER試験パターン同期パターンとランダムパターンからなる。このランダムパターンは、フレーム単位で同一のパターンである。

【0013】デジタル加入者回線終端装置4では、BER測定テストパターンを図2に示す回線信号フレームに組み立てる。この回線信号フレームは、回線信号同期パターン、エンドユーザの送受信データを搬送するペイロード（この実施の形態の場合はBER測定テストパターン）とCRCビットから構成される。

【0014】このCRCビットは、デジタル伝送において周知であり、エラー検出を目的としてフレーム内に付加されている。

【0015】この回線信号フレームは、更に、符号化、デジタル信号処理、アナログ回路での処理を行い、マルチック回線15に送出される。

【0016】保守試験装置5は、BER測定開始のために、端末2でのループバックを起動するための制御コマンドの投入、およびBER測定装置3にBER測定開始のトリガ信号を供給する機能を有する。

【0017】ループバック起動コマンドは、デジタル加入者回線終端装置4に送られ、このコマンドは、回線信号フレーム上にマッピングされているオーバーヘッドビットにアサインされ、端末2へ送信される。これは、例えばANSI (American National Standards Institutes) T1. 601で規定されているeoc (Embedded Operation Channel) による方式と同様な方式である。

【0018】一方、端末2は、ドライバ/レシーバ8とデジタル回路9とBER試験パターン同期検出回路10とCRCエラー検出回路11とフレーム回路12とセクタ13とテストパターンラッチ回路14を備えている。

【0019】ドライバ/レシーバ8は、デジタル加入者回線終端装置4から送出された回線信号を増幅、フィルタリングを行い、A/D変換を行う受信機能とD/A変換、フィルタリング、増幅を行う送信機能を有する。

【0020】ドライバ/レシーバ8で受信された回線信

号は、デジタル回路9に送信され、この回路で波形等化、信号判定、回線信号フレームの同期検出を行う。

【0021】デジタル回路9から出力された信号は、BER試験パターン同期検出回路10、フレーム回路12とCRCエラー検出回路11に送信される。

【0022】BER試験パターン同期検出回路10は、図2に示すBER測定テストパタンの同期パターンを検出してBER測定テストパタンのフレーム同期引き込みを行う。

【0023】フレーム回路12は、端末2が送信する回線信号フレームを生成し、かつ端末2の送信タイミングに同期して端末2が送信する回線信号フレームをセクタ13に送信する機能を備える。

【0024】CRCエラー検出回路11は、デジタル回路9から受信した回線信号フレーム中のCRCビットとペイロードから計算して得られるCRC演算結果とを比較して、当該フレームのペイロード中の少なくとも1つ以上のビットエラーの有無を検出する機能を備え、この検出結果をテストパターンラッチ回路14およびセクタ13に送信する。

【0025】BER試験パターン同期検出回路10で検出されたBER測定テストパタンの同期タイミング信号と、BER試験パターン同期検出回路10を経由してデジタル加入者回線終端装置4から送られた回線信号フレームがテストパターンラッチ回路14に送られる。

【0026】テストパターンラッチ回路14では、BER測定テストパタンの同期タイミング信号、回線信号フレームとCRCエラー検出結果からCRCエラーが発生していない回線信号フレームのペイロード、つまりBER測定テストパターンフレームをラッチする機能を備える。ラッチされたCRCエラーがないBER測定テストパターンフレームは、フレーム回路12に送信される。

【0027】セクタ13は、フレーム回路12から送信される回線信号フレームとCRCエラーがないBER測定テストパターンフレームを受信し、CRCエラー検出回路11において検出されたビットエラーの有無を示す検出信号の結果により前記回線フレーム信号とCRCエラーがないBER測定テストパターンフレームの何れかを選択する機能を有する。

【0028】セクタ13において選択されたフレームは、デジタル回路9に送出され、所望のデジタル信号処理を行った後、ドライバ/レシーバ8を経由してマルチック回線15に送出され、交換機1へのループバックが可能となるように構成されている。

【0029】次に、この発明の実施の形態の動作について説明する。まず、下り方向のデータを上り方向のデータに折り返す動作について、図1の構成図を用いて説明する。

【0030】端末2でのループバック動作を起動するために、交換機1内の保守試験装置5からデジタル加入

者回線終端装置4に、ループバック起動コマンドを投入する。このコマンドを受信したデジタル加入者回線終端装置4は、回線信号フレーム上にマッピングされているオーバーヘッドビットにこのコマンドをアサインし、端末2に送信する。

【0031】一方、メタリック回線15を経由して端末2で受信された回線信号は、ドライバ／レシーバ8を経由してデジタル回路9においてループバック起動コマンドが検出され、端末2内でのループバック動作を行う。

【0032】この方式はANSI T1.601で規定されているようなeocメッセージによるループバック起動動作と同様な方式であり、周知の方式である。

【0033】次に、BER測定方法の動作について、図1、2、3、4を用いてループバック動作を交えながら説明する。図3および図4は、端末側でCRCエラーを検出した場合のループバックでのデータ返送を示す図である。

【0034】BER測定は、図1に示す交換機1内に具備されるBER測定装置3によって行われる。BER測定装置3内のBER試験パターン生成回路6から出力される試験パターンが、デジタル加入者回線終端装置4を経由して端末2に送信され、端末2でのループバックにより交換機1に折り返され、デジタル加入者回線終端装置4を経由してBER試験パターン比較装置7に送られ、BER試験パターン比較装置7が、BER試験パターン生成回路6から送出した試験パターンと端末2において折り返された試験パターンとを比較することにより、ビットエラーの有無を検出してビットエラー数を計数するものである。この測定方法の原理は、従来の方法と同様である。

【0035】上記の設定後にBER試験パターン生成回路6より図2に示すBER測定テストパターンフレームをデジタル加入者回線終端装置4の回線信号フレームのペイロードに挿入する。BER測定テストパターンフレームは、BER試験パターン同期パターンとランダムパターンから構成されており、各フレームにおいて同一テストパターンフレームである。デジタル加入者回線終端装置4の回線信号フレームは、回線信号同期パターンと、ペイロードと、端末側においてビットエラーの有無を検出するためのCRCビットから構成される。

【0036】BER測定テストパターンフレームが挿入されたデジタル加入者回線信号フレームは、メタリック回線15を介して端末2に送られ、端末2内のドライバ／レシーバ8とデジタル回路9において所望の処理を行った後、図2に示すBER測定テストパターンフレームが抽出される。

【0037】抽出されたBER測定テストパターンフレームは、BER試験パターン同期検出回路10において、図2のBER試験パターン同期パターンを検出しながら、BER測定テストパターンフレーム同期を確立する。このBER

R試験パターン同期パターンは予め決まっており、端末2においてもこの同期パターンを受信することを期待していることを前提としている。BER測定テストパターンフレーム同期が確立すると、図2のBER測定テストパターンフレーム中のランダムパターンが検出可能となる。

【0038】一方、図1のCRCエラー検出回路11において抽出された図2の回線信号フレームからCRCビットを検出、およびペイロードに対してCRC演算を行い、対象回線信号フレーム中にビットエラーが存在しない場合には、BER試験パターン検出回路10において検出されたランダムパターンをテストパターンラッチ回路14において保持する。つまり、テストパターンラッチ回路14にはビットエラーを含まないBER試験パターン生成回路6から出力されたデータと同一のものを保持する。

【0039】また、同様の演算を行い、対象回線信号フレーム中に少なくとも1つ以上のビットエラーが検出された場合には、端末2内のセクタ13をフレーム回路12を経由したBER試験パターン同期検出回路10からのデータが出力されるように制御する。

【0040】つまり、このデータにはビットエラーを少なくとも1つ以上含まれたデータがセクタ13の出力に現れる。

【0041】図3を用いて、ビットエラーを検出した場合と検出しない場合の下り方向データの折り返し方法について説明する。CRCエラー検出回路11によりCRCエラーが検出された場合には、セクタ13の制御によりフレーム回路12を経由して、BER試験パターン同期検出回路10から出力された少なくとも1つ以上のビットエラーを含むペイロード、つまりBER試験パターン+ランダムパターンを上り方向に折り返すように制御する。

【0042】また、CRCエラーを検出しない場合には、テストパターンラッチ回路14で保持されたビットエラーを含まないペイロードがフレーム回路12を経由してセクタ13の出力に現れるように制御する。この動作によりビットエラーを少なくとも1つ以上含むペイロードは、すべて上り方向データとして折り返すことが可能となる。

【0043】図4を用いて、交換機1内のBER測定装置3でのビットエラーカウント方法について説明する。端末2で折り返された上り方向のデータは、デジタル加入者回線終端装置4で所要の処理を行った後、ペイロード、つまりBER試験パターン同期パターン+少なくとも1つ以上のビットエラーを含むランダムデータが抽出され、BER試験パターン比較回路7で受信される。BER試験パターン比較回路7では、BER試験パターン生成回路6から出力されたペイロードと端末2で折り返されたビットエラーを含むペイロードとを比較し、不一致となったビットのカウントを行う。

【0044】この場合、下り方向のデータ伝送速度が上

り方向のデータ伝送速度よりも速いため、下り方向データ容量－上り方向データ容量分は、図4に示すようにBER試験パターン比較回路7内でBER試験パターン生成回路6から出力されたデータをそのままダミーデータとして上り方向ペイロードに付加して比較（この場合はビットエラーはカウントされない）してもよい。

【0045】また、下り方向のデータ伝送速度つまり、BER試験パターン生成回路から送出されたペイロードのトータルのビット数を保持していれば、上り方向ペイロードがない部分に関しては、比較、エラーカウントの処理を止めてもよい。

【0046】これらの処理を行った後に、（ビットエラーカウント値／BER試験パターン生成回路から送出されたトータルのビット数）を演算することによりBER測定が可能となる。

【0047】以上説明したように、この発明によるループバック試験制御方式では、下り方向のデータ伝送速度が上り方向のデータ伝送速度より速い伝送システムにおいて、回線上で発生したビットエラーを全て受信できるため、BER測定を行うことができる。

【0048】次に、基本的構成は上記の通りであるが、更に多くのビットエラーが発生した場合について全てのビットエラーを含むペイロードを交換機に折り返すことができる他の実施の形態の構成を図5に示す。図5に示す方式は、図1に示した構成図のBER試験パターン同期検出回路10とフレーム回路12の間にバッファ16を設けたものである。

【0049】バッファ16は、CRCエラー検出回路11においてCRCエラーを検出した場合に、そのエラーを含むペイロードデータを一時的に保持する機能を有する。このバッファ16の深さを増やすことにより、ビットエラーを含むペイロードが一時的に増加し、上り方向のデータ伝送容量を超えるペイロードを折り返す必要がある場合に、バッファ16で保持したビットエラーを含むペイロードを逐次上り方向のデータ伝送容量に合わせて送出することが可能となる。

【0050】この実施の形態により、バースト的に多くのエラーが発生しても、全てのビットエラーを含むペイロードが交換機に折り返すことが可能であるため、更に測定されたBERの値の精度が向上するという効果を有する。

【0051】上述した実施の形態では、下り方向のデータを上り方向のデータに折り返す際にバッファ16を経由させることによりバースト的に多くのビットエラーが発生してもビットエラーを含むペイロードを全て上り方向に折り返せるという作用・効果を得ているが、交換機内のBER試験パターン生成回路6から送出するBER測定テストパターンフレームの構成を変えることにより、同様な効果が得られる。

【0052】そのための構成を図6に示す。図6は、こ

の発明の更に他の実施の形態における回線信号フレームとBER測定テストパターンフレームとの関係を示す図である。この方式では、デジタル加入者回線終端装置4の回線信号フレームに複数のBER測定テストパターンフレームを挿入する。このテストパターンフレームは、図1に示す実施の形態と同様にBER試験パターン同期パターンとランダムパターンから構成され、各ランダムパターンは同一のデータである。

【0053】ペイロードに挿入されるBER試験測定パターンフレーム長が長い場合には、そのペイロードで1ビットでもビットエラーが発生した場合、そのペイロードを全て端末において折り返すこととなり、折り返すビット数が増えるが、BER試験測定パターンフレーム長を短くした場合には、長い場合に比較して、折り返すビット数を少なくすることが可能である。これにより、図5の実施の形態で示したバッファの深さを減らすことができるという相乗効果をも有する。

【0054】

【発明の効果】以上説明したように、この発明は、下り方向のデータ伝送速度が上り方向のデータ伝送速度よりも速い伝送システムにおいて回線品質をモニタするためのBER測定を行う時に、全ての下り方向のデータを上り方向に折り返すのではなく、CRCエラーの有無のチェック結果により当該信号フレーム内に少なくとも1つ以上のビットエラーを含むフレームのみを上り方向に折り返すようにしているため、発生したビットエラーを全て交換機で受信可能となり、BER測定装置においてBER測定が可能となる。

【図面の簡単な説明】

【図1】この発明のビット誤り率測定方式の実施の形態を示す構成図である。

【図2】回線信号フレームとBER測定テストパターンフレームとの関係を示す図である。

【図3】端末側でCRCエラーを検出した場合のループバックでのデータ返送を示す図である。

【図4】端末側でCRCエラーを検出した場合のループバックでのデータ返送を示す図である。

【図5】この発明の他の実施の形態を示す構成図である。

【図6】更に他の実施の形態における回線信号フレームとBER測定テストパターンフレームとの関係を示す図である。

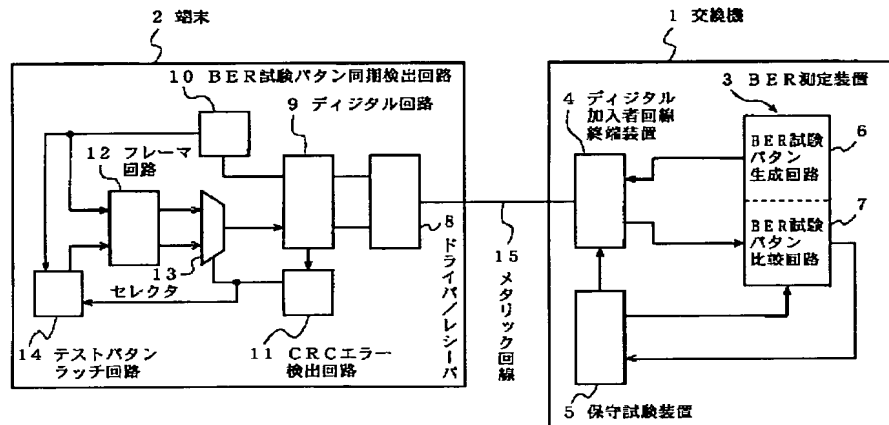
【図7】従来のビット誤り率測定方式を示す構成図である。

【符号の説明】

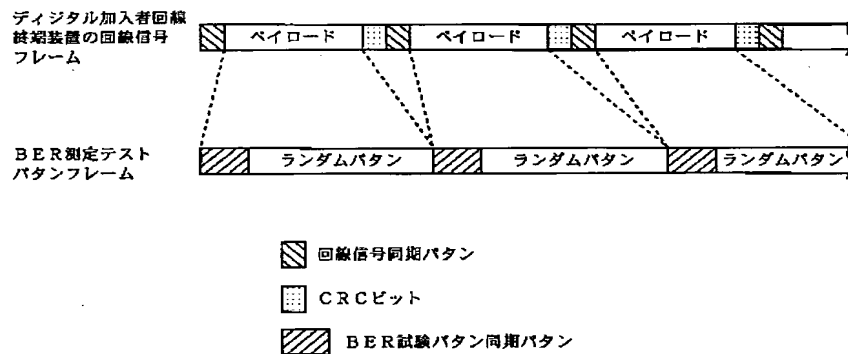
- 1 交換機
- 2 端末
- 3 BER測定装置
- 4 デジタル加入者回線終端装置
- 5 保守試験装置

- | | | | |
|----|-----------------|----|--------------|
| 6 | BER試験パターン生成回路 | 12 | フレーマ回路 |
| 7 | BER試験パターン比較回路 | 13 | セレクタ |
| 8 | ドライバ/レシーバ | 14 | テストパターンラッチ回路 |
| 9 | デジタル回路 | 15 | メタリック回路 |
| 10 | BER試験パターン同期検出回路 | 16 | バッファ |
| 11 | CRCエラー検出回路 | | |

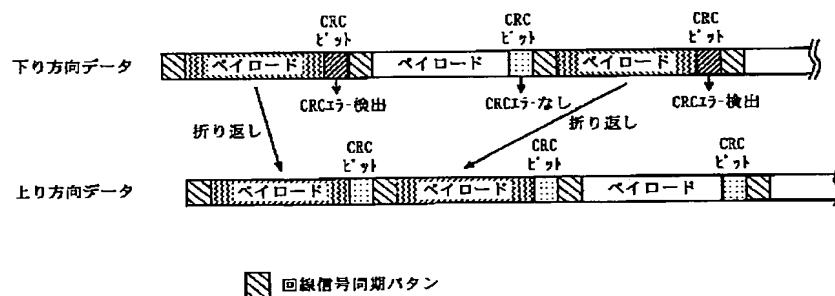
【図1】



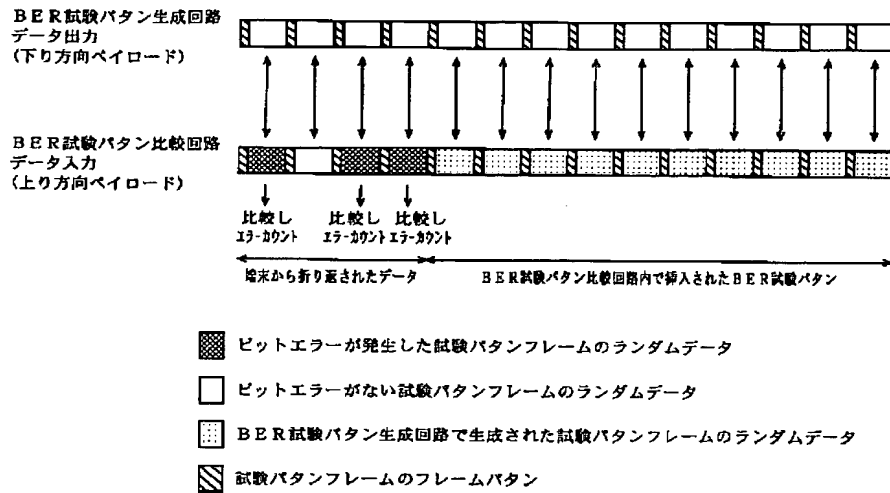
【図2】



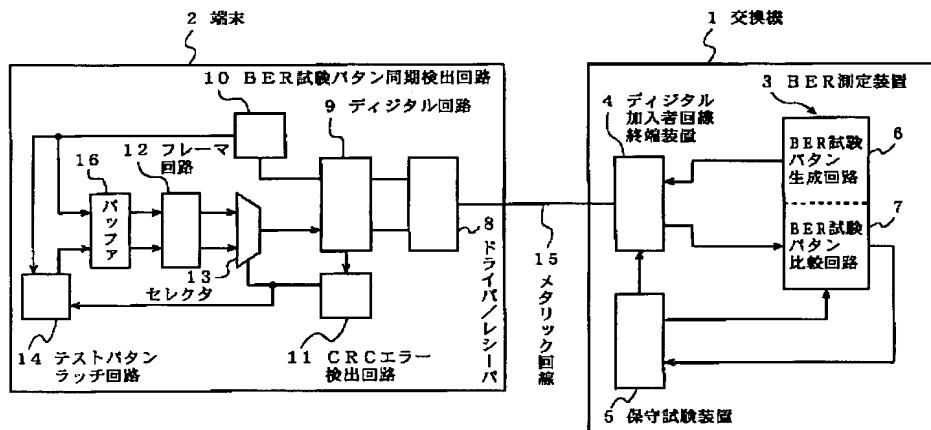
【図3】



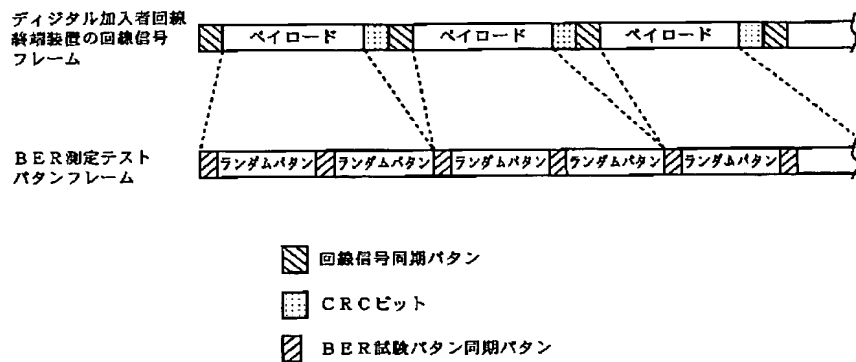
【図4】



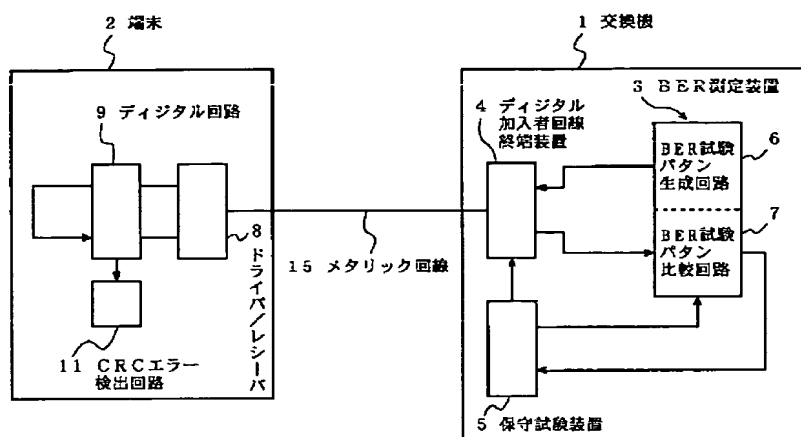
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 4 L 29/14

H 0 4 M 3/26

G

H 0 4 M 3/26

H 0 4 L 13/00

3 1 5 Z

H 0 4 Q 11/04

H 0 4 Q 11/04

L

F ターム(参考) 5K014 AA01 BA06 EA00 EA07 GA02
GA05

5K019 AC09 BA52 BB41 CB04 CC15
CD08

5K035 AA03 BB04 CC03 CC08 DD01
EE10 FF02 GG09 HH07

5K042 AA03 BA10 BA14 CA05 CA13
DA27 EA01 EA08 FA01 GA01
LA09 LA15

5K069 CB08 FA15 FD06 GA13 HA02